

ガラス基板上に 3MHz動作のMPUを形成

「システム液晶」の将来性を確認

李 副烈, 久保田 靖

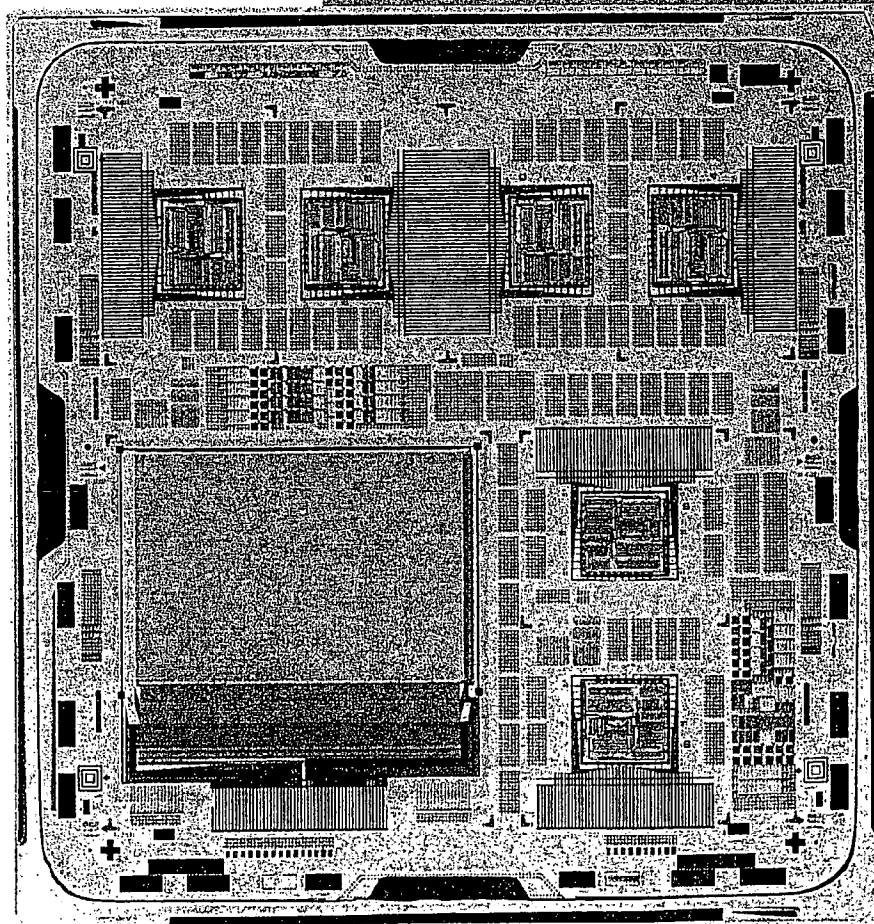
シャープ モバイル液晶事業本部 システム液晶第一事業部

今井 繁規

シャープ IC事業本部 システムLSI事業化推進センター

加藤 清, 黒川 義元, 小山 潤

半導体エネルギー研究所



「Z80」との互換性を備える6個のマイクロプロセッサと2.25メガビット液晶パネルを集積したガラス基板の写真はほぼ実物大である。

BEST AVAILABLE COPY

シャープと半導体エネルギー研究所は、ガラス基板の上に3MHzで動作する8ビット・マイクロプロセサ (MPU) を形成した。両社で共同開発した「CGシリコン」 (Continuous Grain Silicon) 技術を使う。CGシリコンは一般の低温多結晶Siに比べて、結晶粒が大きく境界が規則的であるという特徴を備える。電子移動度が200~300cm²/Vsと高いため、論理回路の高速動作が可能になる。将来は設計ルールの微細化によって動作周波数を20MHz~30MHzに引き上げ、グラフィックス・コントローラ回路などを集積することに目標を置く。液晶パネルに表示機能以外の付加価値を与えることで、これまで「面積売り」だったディスプレイ事業からの脱却を図るのが狙いだ。

(本誌)

↑Z80=米Zilog, Inc.が1976年に発売したCISC型8ビット・マイクロプロセサ。米Intel Corp.の「4004」を開発した嶋正利氏が設計を手掛けた。

ガラス基板の上に「Z80」¹⁾互換のCISC型8ビット・マイクロプロセサを形成し、3MHzで動作させることに成功した (図1)¹⁾。Z80を搭載するパソコンにこのマイクロプロセサを実装し、正常にプログラムを実行できることも確認した (図2)。このマイクロプロセサの製造には、シャープと半導体エネルギー研究所が共同開発した「CGシリコン」 (Continuous Grain Silicon) 技術を利用した。2002年秋から既に同技術を使って、液晶ドライバ回路などを集積した「システム液晶」の量産を始めている。今回の実証実験は、さらに複雑かつ高速に動作する周辺回路を集積したシステム液晶の将来性を確かめるための試みと位置付けている。

システム液晶は、ディスプレイ事業の在り方を大きく変える可能性を秘めている。ユビキタス・ネットワーク社会が到来することで、

情報通信を担う機器の主役が固定端末から、携帯電話機やPDAなどの移動端末へ移るからだ。この結果、こうした機器を構成する各種の電子部品に対して、以前にも増して低消費電力や高信頼性などの要求が強くなっている。表示ディスプレイもその例外ではない。ネットワークを経由してやりとりされる解像度の高い静止画や動画を、高品位かつ低消費電力で表示する性能が求められている。

こうした動きは、ディスプレイ・メーカーにとって、単に液晶パネルの低コスト化を進めるだけでなく、付加価値を高めることが急務となっていることを示している。液晶ディスプレイ業界は、これまでの「面積売り」のビジネスから脱却し、「機能売り」のビジネスへと変貌を遂げなければならない。携帯型情報機器向けの事業においてこれを実現するのが、機器の小型化や低消費電力化を可能にす

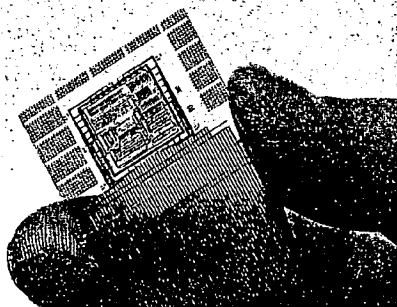


図1 1万3000トランジスタを集積
13mm×13mmのガラス基板に約1万3000個のトランジスタを集積した。電源電圧が+5Vのときに3MHzで動作する。



図2 往年のパソコンで動作を確認
1979年にシャープが発売したZ80搭載パソコン「MZ-80C」に、開発したマイクロプロセサを組み込んで動作を確認した。

るシステム液晶である。我々は、CGシリコン技術がシステム液晶を実現するためのカギを握る技術であると認識している。従来、TFT液晶パネルの製造で培ってきたアモルファスSi技術の資産と融合することで、コンドラスの高出力型液晶パネルや、屋内・屋外にかかわらず優れた視認性を発揮する半透過型液晶パネルの実現が可能になる。こうした技術によって、表示面積に価格が大きく支配される汎用の液晶パネルとの差異化を図り、その価値をユーザーに認知してもらうことが「機能売り」の事業に転換するキッカケになると我々は考えている。

「第3世代」のシステム液晶を視野に、システム液晶の進化は3つの世代に分かれると予測している(表1)。これまで広く製造されてきた液晶ディスプレイは、アモルファスSiを使ったTFTから成る。これは、画素スイッチと配線を配置した表示部のみをガラス基板上に形成したものだ。これに対して我々が「第1世代」のシステム液晶と位置付けるのは、数年前から実用化が始まった低温多結晶Siを使う液晶パネルである。この技術

表1 システム液晶のロードマップ

	2002年	2003年	2005年	
	第1世代	第2世代	第3世代	
薄膜トランジスタ	開発目標	電子移動度の向上	製造バラツキの低減	チャネル長の短縮
電子移動度	200cm ² /Vs	300cm ² /Vs	400cm ² /Vs	
設計ルール	3μm	1.5μm	0.8μm	
配線	Al配線	多層配線	低抵抗配線	
論理回路の動作周波数	3MHz	5MHz	20MHz~30MHz	
集積する回路	ドライバ、メモリ	D-A変換器、増幅器 タイミング発生器	マイクロコントローラ、DSP	

では、例えばガラス基板上に単純な構成の液晶ドライバ(点順次ドライバ)を集積することができ。

「第2世代」で要求されるのは、デジタルインタフェース回路の集積である。PDAや携帯電話機をはじめ、あらゆる機器で内部インタフェースのデジタル化が進んでおり、近い将来、液晶パネルにも必須の技術になる。我々は既に、D-A変換回路やオペアンプなどから成るデジタル・ドライバ回路を集積した液晶パネルを試作し、動作を確認している。第2世代のシステム液晶の実用化に向けた技術的な課題は、ほぼ克服した。この結果を基に、2003年度には第2世代の品種を製品化する予定である。

「第3世代」のシステム液晶では、ドライバ

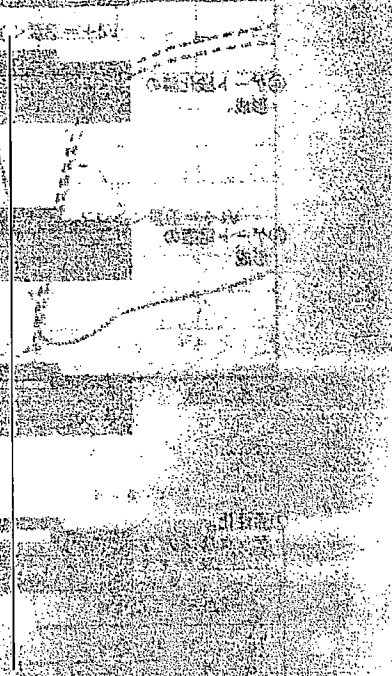
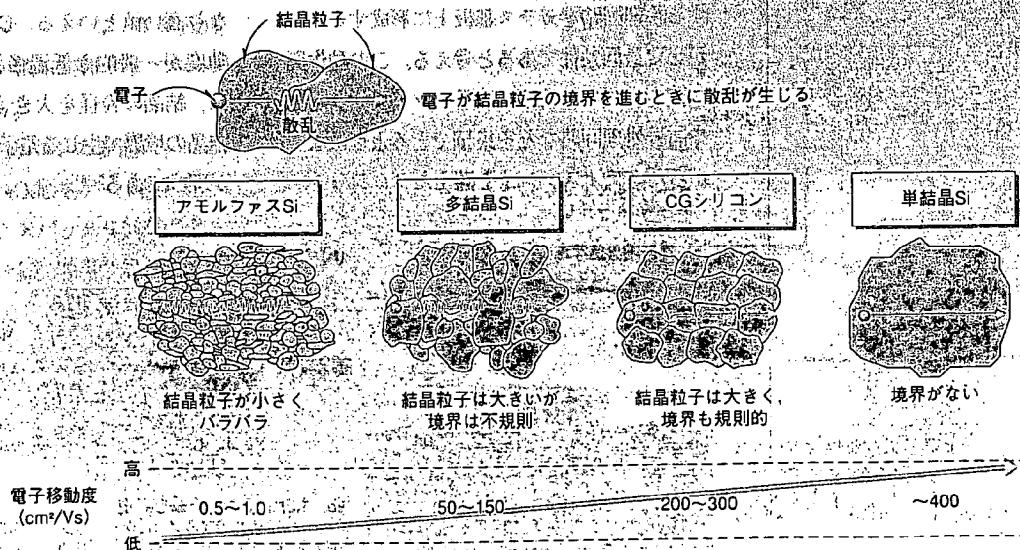


図3 CGシリコン技術で単結晶に近づく。単結晶に近い電子移動度を達成し、論理回路の高速動作を可能にするために、CGシリコン(Continuous Grain Silicon)技術を採用した。CGシリコンは、一般的な低温多結晶Siに比べて結晶の粒径が大きく、さらにそろっているため、結晶の境界に規則性がある。このため200~300cm²/Vsと高い電子移動度が得られる。



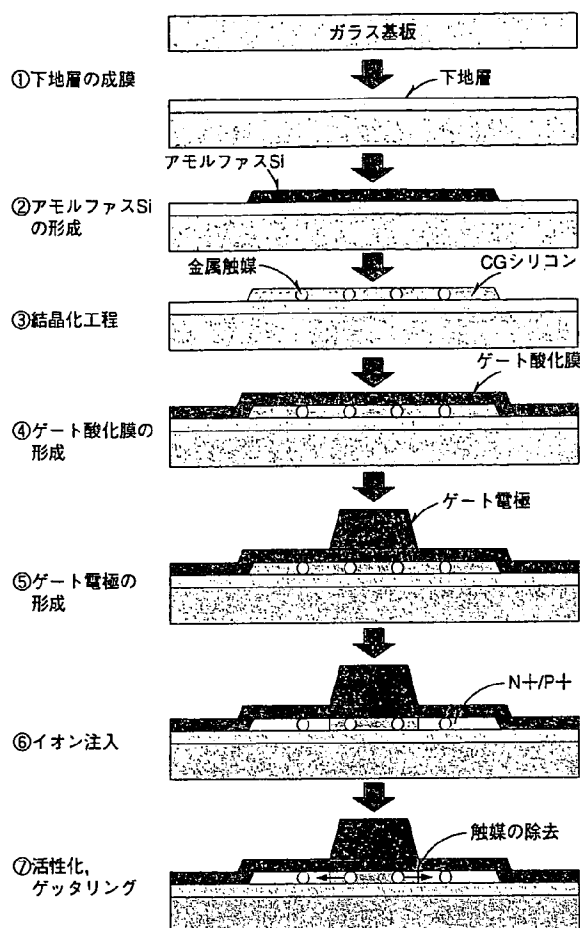


図4 触媒で結晶の成長を促すCGシリコン技術を使ったTFTの製造工程。ガラス基板上に下地層を成膜し、その上にアモルファスSiを形成する。これに金属触媒を加えることで、Si結晶の成長を促して粒径を大きくする。こうして得たCGシリコンを使ってTFTを形成する。

カードや、持ち運びに便利なシート状のコンピュータといった液晶パネルを搭載した画期的な応用商品が、一気に実現できるとみている。

電子移動度を単結晶Siに近づける

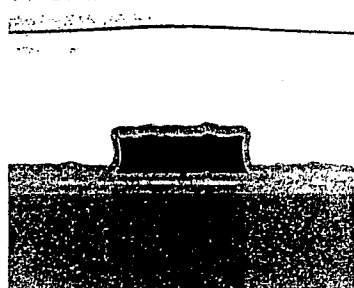
第3世代のシステム液晶の実現には、これまで液晶パネルの製造に使ってきたTFTの特性向上と配線技術の改良、設計効率の向上が不可欠である。このうちTFT特性の向上には、論理回路を高速動作させるために電子移動度の向上が必要となる。

従来の液晶パネルで利用したアモルファスSiでは、キャリア(電子)の移動度が $0.5\sim 1\text{cm}^2/\text{Vs}$ だったことから、数 $\mu\text{s}\sim$ 数十 μs で駆動するスイッチを形成するのが限界であった。低温多結晶Siの採用によって、電子移動度を数十 ~ 100 数 cm^2/Vs に高められるため、動作周波数が数MHz程度で動く液晶ドライバの集積が可能になった。しかし、従来の多結晶Si技術では、それ以上の動作周波数の向上は難しい。

CGシリコンでは、電子移動度を $200\sim 300\text{cm}^2/\text{Vs}$ と、一般的な低温多結晶Siの2倍以上に高められる(図3)。単結晶Siの電子移動度が $400\text{cm}^2/\text{Vs}$ であることを考えると、かなり高い値といえる。CGシリコンの電子移動度が一般的な低温多結晶Siよりも高いのは、結晶の粒径を大きく均一にできるため、結晶の境界で生じる電子の散乱が少ないことが理由である⁵⁻⁶⁾。

回路に加えて他の周辺回路を取り込んでいく。このためには、 $20\text{MHz}\sim 30\text{MHz}$ で動作する論理回路をガラス基板上に形成することが必要最低条件であると考えられる。この動作周波数を実現できれば、液晶コントローラ回路や信号処理回路などを集積できるようになるからだ。ディスプレイを備えたクレジット・

(a) 電子顕微鏡写真



(b) 断面図

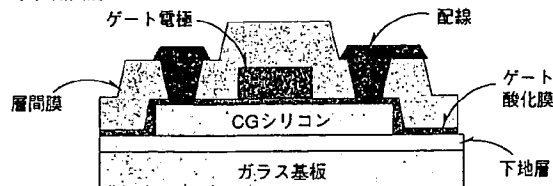


図5 1.8 μm のゲート長を実現
ゲート長が $2.0\mu\text{m}$ のマスク・パターンを使って形成した(a)。実測したゲート長は $1.8\mu\text{m}$ 。ゲート幅は $8\mu\text{m}$ だった。配線にはAl系金属を使う(b)。

CGシリコンを使った論理回路の動作周波数を引き上げるための技術的なポイントは、今後は微細化に移っていく。3 μ mという現状の設計ルールは、最先端のLSIに比べて1ゲタ以上遅れているからだ。同時に、歩留まりを向上させるために、製造バラつきを抑える工夫も重要になってくる。

金属触媒で結晶粒の成長を促す

Z80互換マイクロプロセッサの試作目的は、CGシリコン技術を使い比較的規模の大きな論理回路を集積することの実現性と、現在のプロセス技術の実力を確認することである。CGシリコンのプロセス技術と、形成したトランジスタの特性、マイクロプロセッサの設計方法、試験結果についてそれぞれ順を追って解説する。

マイクロプロセッサを形成するガラス基板には、一般の液晶パネルで広く使われている米Corning Inc.の「1737」を使った。この表面にプラズマCVD法によって下地層を成膜した(図4)。その上に、同じくプラズマCVD法によってアモルファスSiを成膜する。

このアモルファスSiに金属触媒を添加し、550℃で4時間の結晶化を行うことでCGシリコンを形成した。今回使ったガラス基板の融点である640℃に比べて、十分低い処理温度である。次に、しきい値を制御するためのチャネルドープを行う。

こうして得たCGシリコンの表面に、プラズマCVD法によってSiO₂膜をゲート酸化膜として形成する。次に、スパッタリングによって、ゲート電極に用いる高融点金属の層を成膜する。ゲート電極は、フォトリソグラフィとエッチングによってパターンニングする。ソース・ドレイン領域の形成は、イオン注入法によって行い、その後、活性化処理およびゲッターリング処理によってチャネルにある触媒を取り除く。

最後に層間膜を形成し、コンタクト・ホー

ルを開孔した後に、Al系金属によってソース・ドレイン電極および金属配線を形成する。

TFTの高速動作を確認

CGシリコン技術を使って、マスク・パターン上のゲート・チャネル長が2 μ mのTFTを試作した(図5)。電子顕微鏡で確認したとこ

図6 作成したTFTの電流特性
nチャネル型TFTの電子移動度が約200~300cm²/Vsであることを確認できた。

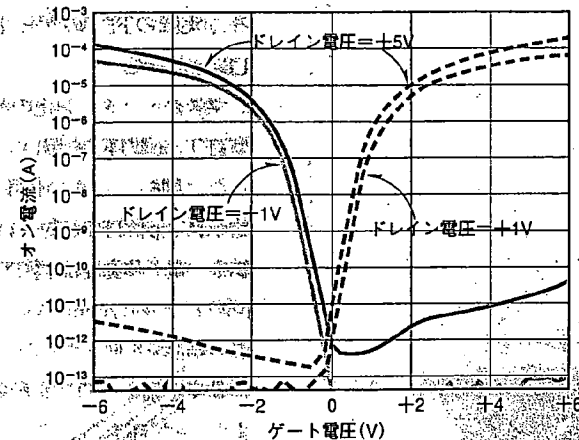


図7 Z80のブロック図
「Z80」は米Zilog, Inc.が1976年に発売したCISC型8ビット・マイクロプロセッサ。ゲート数は約3000個である。8ビット幅のデータバスと16ビット幅のアドレスバスを備える。

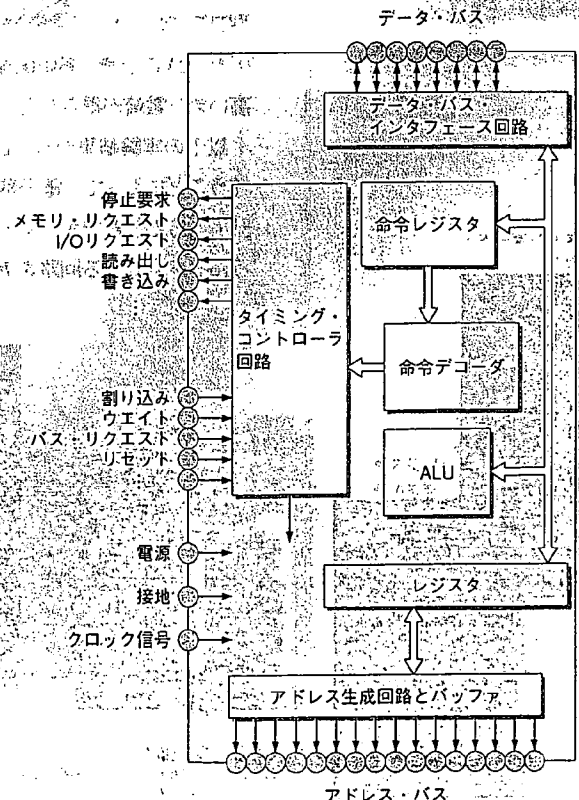


表2 2種類のマイクロプロセッサを試作

	1次設計	2次設計
開発期間	6カ月	3カ月
設計目標	過去の設計データの再利用	ゲート長の変更、TFTパラメータの最適化
製造プロセス	3.0 μ mルールでのCGシリコン	
ゲート長	3 μ m	2 μ m
+5V動作時の最大動作周波数	1.25MHz	3.0MHz

る、実際のTFTのゲート・チャネル長は1.8 μ mだった。

マスク・パターン上のゲート幅が8 μ mのn型TFTとp型TFTを用いて、電流特性を測定した(図6)。しきい値電圧は、n型TFTが約+1V、p型TFTが約-1.5Vである。測定の結果、電子移動度はn型TFTが約230cm²/Vs、p型TFTが約120cm²/Vsだった。一般的な低温多結晶Siを使ったものに比べて、高い電子移動度を備えたTFTを形成できたといえる。また、n型TFTでは、ゲート電圧が+5V、ドレイン電圧が+1Vのときに約9.5 μ A/ μ m、p型TFTでは、ゲート電圧が-5V、ドレイン電圧が-1Vのときに約4.0 μ A/ μ mと、いずれも高いオン電流が得られた。

以上の実験結果から、CGシリコン技術を使うことによって、電子移動度の高い多結晶Siを得ることができ、マイクロプロセッサのように高速動作する回路をガラス基板上に集積

するためのTFTを形成できることを実証できた。

2段階に分けて設計

このトランジスタを使って、ガラス基板上にZ80互換マイクロプロセッサの形成を試みた。Z80は、8ビット幅のデータ・バスと16ビット幅のアドレス・バスを備える。回路規模は3000ゲート程度である(図7)。

マイクロプロセッサの設計は、1次設計と2次設計の2段階に分けて行った(表2)。1次設計では、CGシリコンを使ったマイクロプロセッサの動作を確認することに主眼を置いた。このため、基本的には従来の設計資産に手を加えず流用した。2次設計では、CGシリコン技術でどの程度の動作周波数が実現できるかを見極めるため、TFTのパラメータを最適化した。

まず1次設計では、2.5 μ mルールのIC向けに設計されたレイアウト・データを、今回用いた3 μ mルールに合わせてスケールアップした。スケールアップは、配線幅だけでなくゲート幅についても同じ比率で行った。レイアウトには、従来のICで使っていたスタンダード・セルやレジスタ・ファイル、PLA (programmable logic array) などのレイアウト・パターンをそのまま用いた(図8)。CGシリコンでは、結晶化の主な手段がレーザ・アニーリングではなく熱アニーリングであるため、電子移動度の方向依存性がない。このため、ICのパターンをそのまま流用することができる。

次に2次設計では、1次設計のデータを基にゲート長を3 μ mから2 μ mに微細化することで、高速化を図った。さらに、レイアウト後のデータから配線の寄生容量を計算し、これを基にTFTの寸法を最適化した。具体的には、寄生容量を考慮したシミュレーションを行って、クリティカル・パスになっている部分の寸法を調整することで、

スタンダード・セル

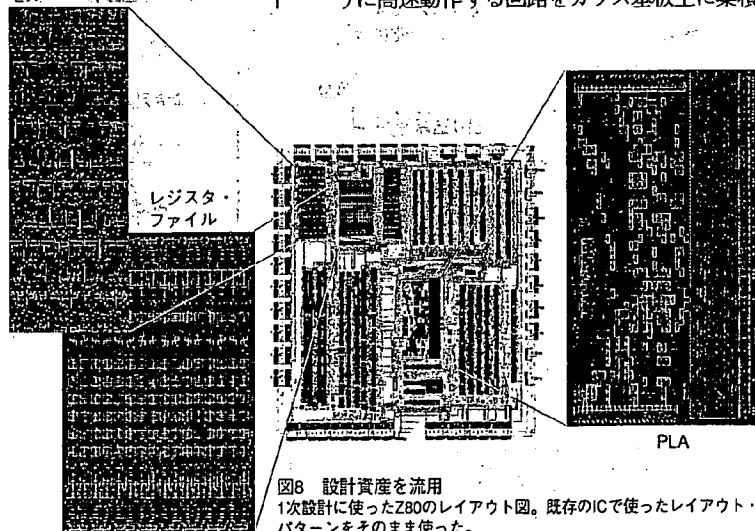


図8 設計資産を流用
1次設計に使ったZ80のレイアウト図、既存のICで使ったレイアウト・パターンをそのまま使った。

遅延時間を短縮した。一連の設計ツールには、一般的なLSIの設計に用いられるものと同じものを使った。シミュレーションのモデルに使うパラメータだけをTFTに合わせた。

6個のMPUを集積

1次設計と2次設計のマイクロプロセサは、どちらも実際に試作した。試作する際には、ガラス基板上にマイクロプロセサだけでなく、液晶パネルも形成し、それぞれが同一プロセスによって製造できることを確認した。

Z80の電源電圧は+5Vと、液晶パネルで用いられる+12V～+16Vに比べて低い。このため今回の試作では、パネル用のTFTを高耐圧のLDD (lightly doped drain) 構造で形成

し、マイクロプロセサ用のTFTは一般的なシングル・ドレイン構造で形成した。具体的には12.5cm×12.5cmのガラス基板上に、デジタル・インタフェースを備える2.2インチ型の液晶パネルと6個のマイクロプロセサを集積した。

完成したマイクロプロセサの動作確認は、ICテスタを使った検証と、実際のコンピュータを使った検証の2つの方法で行った。ICテスタを使った検証には、約1万命令から成るテスト・パターンを使用した。この結果、1次設計品、2次設計品共に正常に動作することを確認できた。

電源電圧が+5Vのときの最大動作周波数は、それぞれ平均で1.25MHzと3.0MHzであ

図9 動作周波数のバラつきは±8%以内に1次設計試作品の電源電圧と最大動作速度の関係をプロットした。10個のチップを測定したところ、動作周波数のバラつきは±8%以内に収まった。

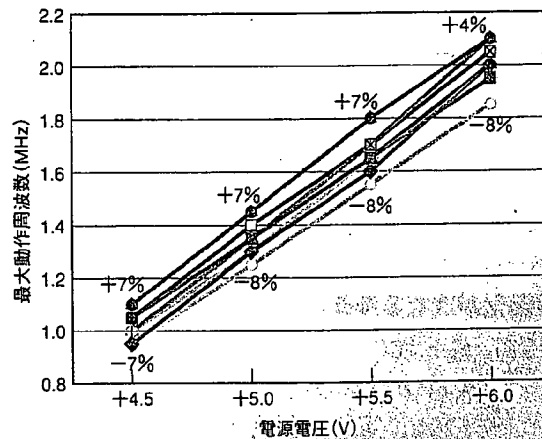
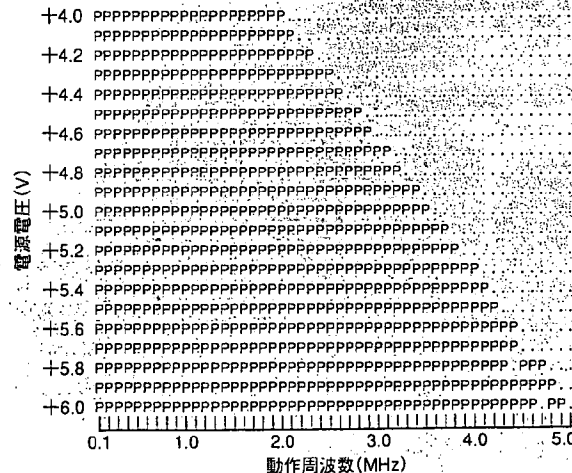


図10 3MHz動作を確認
2次設計品を動作検証した結果 (Shmoo plot)。電源電圧が+5Vのときに、3.0 MHz以上で動作することを確認した。図中「P」で示したものは試験にパスしたこと、「・」で示したものはパスしなかったことを示す。



り、ほぼシミュレーション通りの良好な結果を得た。10個の1次設計品で電源電圧と最大動作周波数の関係を測定したところ、同じ電源電圧における最大動作周波数の平均値からのバラつきは、 $\pm 8\%$ 以内に収まることが分かった(図9)。また、2次設計品の動作の測定結果から、電源電圧が+5Vのときに3.0MHz以上で動作することを確認できた(図10)。この結果は、TFTの寸法を最適化することによって動作周波数を約2倍に高められたことを意味する。

最後の検証として、2次設計品をシャープ製のパソコン「MZ-80C」のマイクロプロセッサと置き換えて動作させた。具体的には、2次設計品に液晶パネル用のフレキシブル基板を接続し、MZ-80Cのマイクロプロセッサが実装してあった40端子のコネクタに接続した(図11)。実際に当時のパソコン向けに作られたゲーム・ソフトウェアなどを動作させたところ、試作した2次設計品が通常のマイクロプロセッサと完全互換で動作することを確認できた。

微細化が次なる課題に

今回、我々はCGシリコン技術を使って、ガラス基板上にZ80互換の8ビット・マイクロプロセッサを形成し、3MHzで動作させることに成功した。液晶パネルにグラフィックス・コントローラ回路などを集積した第3世代の

システム液晶の実現に向けて、一歩前進したといえる。

ただし、解決しなければならない課題はまだ残されている。20MHz~30MHzの動作周波数を実現するためには、まず、微細化を進めることが最重要課題となる。このために、ステップの位置決め誤差を低減するといった製造装置の工夫だけでなく、回路設計上の工夫も施さなければならない。例えば電圧のスケーリングである。一般に、微細化を進めると電源電圧を下げる必要が生じるが、液晶を駆動するために比較的高い電圧も同時に供給しなければならない。システム液晶全体の電源電圧を低減するには、例えば低い電圧でも駆動できる液晶材料の開発が必要になるだろう。また、高い電圧に耐えられる回路構成も重要になる。

次に、ガラス基板上の配線についても工夫が必要になる。LSIと異なりシステム液晶には、一定の面積を保たなければならない表示部があるため、微細化に伴って基板全体を縮小することができないからである。配線が長くなることによって、配線間のカップリング容量や配線抵抗による信号遅延などが顕著になる。層間膜に低誘電率の材料を導入したり、比抵抗の小さな配線材料を採用するといった解決策が考えられる。また、より複雑な論理回路を集積するには、多層配線技術の導入も不可欠になる。

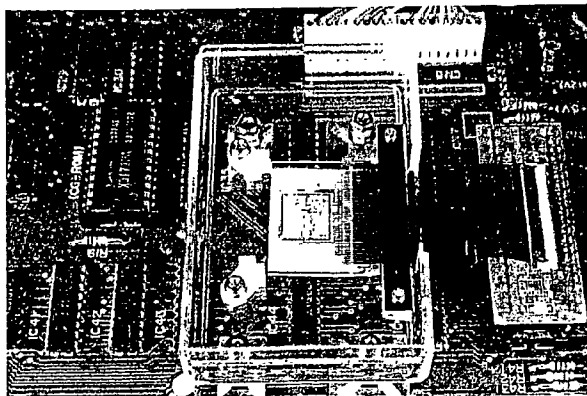


図11 既存の基板に実装「MZ-80C」のメイン・ボードに実装したマイクロプロセッサの拡大写真。チップに液晶パネル用のフレキシブル基板を取り付け、本機「Z80」を実装していたのと同じ40端子のソケットに接続した。

参考文献

- 1) B. Lee et al., *ISSCC2003 Digest* (出版予定)
- 2) Washio, H., et al., "TFT LCDs with Monolithic Multi Drivers for High Performance Video and Low Power Text Modes," *SID 01 Digest*, pp. 276-279, 2001.
- 3) Maeda, K., et al., "Multi Resolution for Low Power Mobile AMLCD," *SID 02 Digest*, pp. 794-797, 2002.
- 4) Cairns, G., Dachs, C., Brownlow, M., Kubota, Y., Washio, H., Hijikigawa, M., "Multi Format Digital Display with Content Driven Display Format," *SID 01 Digest*, pp. 102-105, 2001.
- 5) Sakamoto, H., et al., "2.6 inch HDTV Panel Using CG Silicon," *SID 00 Digest*, pp. 1130-1133, 2000.
- 6) Makita, N., et al., "CG Silicon TFT Fabrication for 2.6 inch HDTV Panel," *AM-LCD2000 Digest*, pp. 37-40, 2000.

NE

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)